

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-161564

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

G09F 9/30
H01L 29/786
H05B 33/08
H05B 33/12

(21)Application number : 08-331388

(71)Applicant : CASIO COMPUT CO LTD

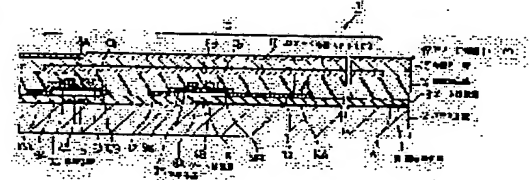
(22)Date of filing : 28.11.1996

(72)Inventor : YAMADA HIROYASU
SHIRASAKI TOMOYUKI

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device which has a high aperture ratio in pixel part and has a long emission lifetime.
SOLUTION: In each pixel area on a glass substrate 2, a selection transistor Q1 and a memory transistor Q2 are formed respectively, and a cathode electrode 15 is formed on these transistors so as to approximately cover the pixel area. An organic EL-layer 16 and an anode electrode 17 are successively formed on cathode electrode 15. A TFT with EEPROM function is made by forming the gate insulation film of the memory transistor Q2 with a silicon nitride film doped with impurity ions. With such a composition, it becomes possible to maintain the drive of organic EL element 3 for one frame period with the memory transistor Q2. Thus, surface brightness can be secured without increasing the brightness of each pixel, therefore, it is unnecessary to impress an excessive voltage on the organic EL-layer 16, and this can prevent the organic EL-layer 16 from deteriorating.



LEGAL STATUS

[Date of request for examination] 08.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

This Page Blank (uspto)

Japanese Publication for Unexamined Patent Application

No. 161564/1998 (Tokukaihei 10-161564)

(A) Relevance to claim

This document has relevance to claim 1 of the present application.

(B) Translation of the Relevant Passages of the Document

[DESCRIPTION OF EMBODIMENT]

[0023]

As shown in FIG. 4, the voltage control means Vc includes the selection transistor Q1 and the memory transistor Q2. In the organic EL element 3, the constant drive power (Vdd) is connected to the anode electrode, and the voltage control means Vc is connected to the cathode electrode, and the source electrode of the memory transistor Q2 making up the voltage control means Vc is grounded via the GND line.

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-161564

(43) 公開日 平成10年(1998) 6月19日

(5) InCl.	識別記号	P I
G09 F 9/30	3 6 5	G09 F 9/30
H01 L 29/78		H05 B 33/08
H05 B 33/08		33/12
33/12		H01 L 29/78
		612 B

審査請求 未請求 請求項の費10 F D (金 10 円)

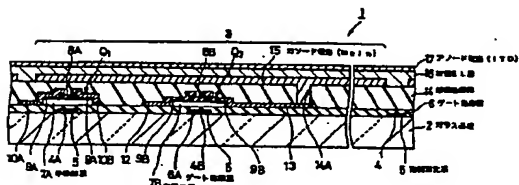
(21) 出願番号	特願平8-331388	(71) 出願人	000001443 カシオ計算機株式会社 東京都港区南青山1丁目6番2号
(22) 出願日	平成8年(1996)11月28日	(72) 発明者	山田 裕隆 東京都青梅市今井3丁目10番地6 計算機株式会社青梅事業所内 白根 友之 東京都青梅市今井3丁目10番地6 カシオ 計算機株式会社青梅事業所内 70の代理人 弁護士 杉村 次郎

(54) 発明の名称 表示装置

(57) 要約

【課題】 画素部分の開口率が高く、発光寿命の長い表示装置を提供する。

【解決手段】 ガラス基板2上の各画素領域内に、それぞれ、選択トランジスタQ₁とメモリトランジスタQ₂とが形成され、これらトランジスタの上にカソード電極15を画素領域毎に形成するように形成する。カソード電極15の上には、順次有線EL層16、アノード電極17を形成する。メモリトランジスタQ₂のゲート絶縁膜を不純物イオンがドーパされた酸化シリコン層で形成することにより、EEPROM領域をもつ画素トランジスタとする。このような構成としたことにより、メモリトランジスタQ₂で有線EL素子3の駆動を1フレーム期間維持させることが可能となる。このため、各画素での高輝度化を図ることなく、画素数を確保できるため、有線EL層16に過剰な電圧を印加しなくてもよく、有線EL層16の劣化を抑制することができるとなる。



【特許請求の範囲】

【請求項1】 基板上に設けられ、発光ライイン及び信号ライインに接続されたスイッチング素子と、前記スイッチング素子の上方に設けられた第1電極と、前記第1電極上に設けられ、電界に応じた光を発光する電界発光層と、前記電界発光層上に設けられ、前記電界発光層の光を透過する第2電極と、を有する発光素子と、

【請求項10】 前記電界発光層は、電界に応じた発光する有機エレクトロルミネセンス層であることを特徴とする請求項1乃至9のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】 この発明は、表示装置に関する、さらに詳しくは、エレクトロルミネセンス（以下、ELという）素子によりドットマトリクス表示パネルを構成するEL表示装置に関する。

【0002】

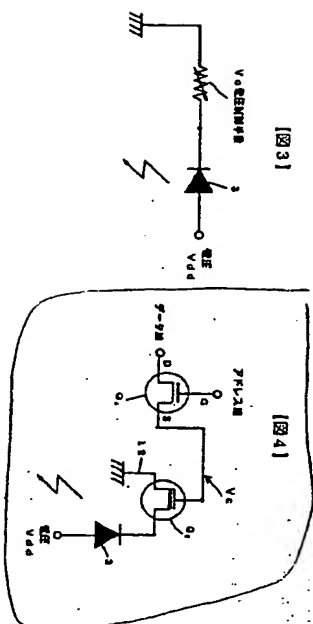
【請求項3】 前記スイッチング素子は、前記発光ライイン及び前記信号ライインに接続された選択トランジスタと、前記選択トランジスタに接続された駆動トランジスタと、からなることを特徴とする請求項1又は2に記載の表示装置。

【請求項11】 従来の技術】 従来、自発光表示素子である有機EL素子をドットマトリクス状に配置した表示装置が知られている。この表示装置では、カソード・スキヤイン（金属電極）をコモンラインとし、ITO (Indium Tin Oxide) であるアノード・スキヤインをデータラインとし、このデータライン間に正電圧をカソード選択期間内にて印加して、コモンラインとデータラインとが直交する部分の有機EL素子を順次駆動して画像を表示する。しかし、このような表示装置において、コモンラインとデータラインとが直交する部分の有機EL素子を順次駆動して画像を表示するようになっているため、コモンライン数およびデータライン数が多くなるにたがって、1画素当たりの選択期間（デューティ）が短くなり、表示点画として必要な輝度を得ることができないという問題点がある。このため、1画素当たりの輝度を高めるために有線EL素子に印加する電圧を高くすると有線EL層の劣化や非発光部分（ダークスポット）が成長し易くなるなどの問題が発生する。

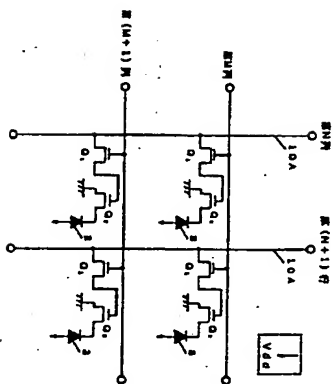
【請求項6】 前記発光素子は、マトリクス状に複数配置され、前記スイッチング素子は、前記発光素子の下方に各々配置されていることを特徴とする請求項1乃至4に記載の表示装置。

【0003】 このような問題に対処した表示装置として、画素内に2つの薄膜トランジスタ（以下、TFTという）を組み合わせて形成して各画素にメモリ性をもたせたものが提案されている。この2つのTFTのうち、一方は選択トランジスタであり、他方はメモリトランジスタとしての機能を備えている。この表示装置は、ガラス基板上の各画素領域内にこれら2つのTFTが形成され、各画素領域内におけるTFTが形成されていない領域に、順次、透明なアノード電極、有線EL層、不透明なカソード電極が積層された構成となっている。この表示装置においては、電圧と正孔との再結合により発生する励起エネルギーにより有線EL層が発光する領域から正孔が、カソード電極から電子が、それぞれ有線EL層に注入されることになる。ここで、キャリア注入効率は、アノード電極（電圧印加時）に依存しており、キャリア注入効率に起因する発光効率を向上するため、カソード電極には低仕事関数の材料が選択されていた。しかしながら、低仕事関数の材料はワケンブル等の金属からなるため、有線EL層が発光する光に対し反射性を有して

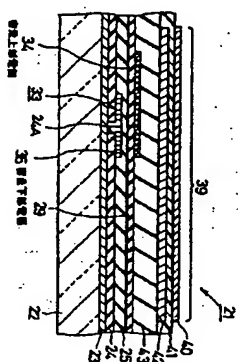
(9)



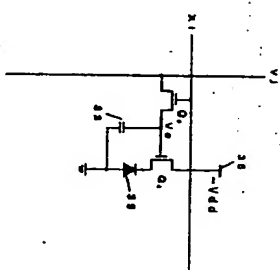
【図6】



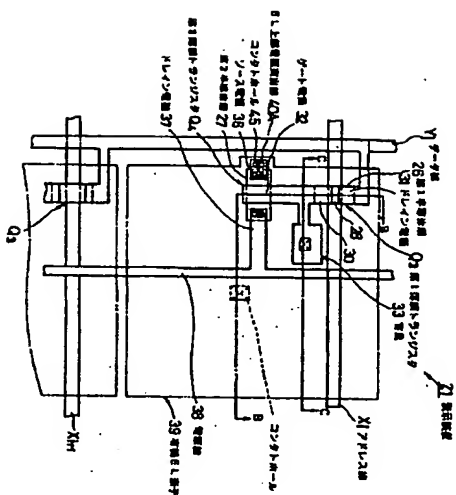
【図9】



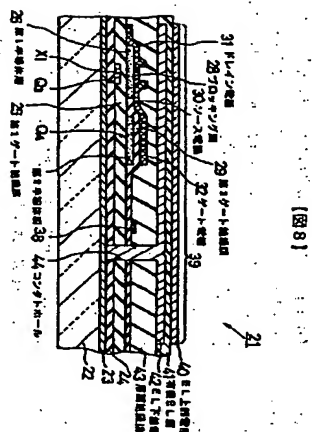
【図10】



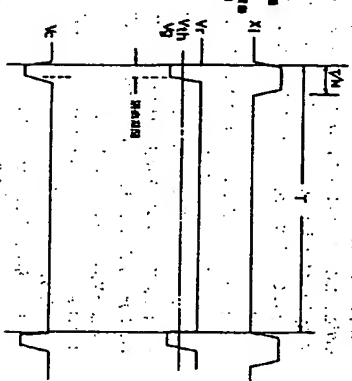
【図7】



(10)



【図11】



This Page Blank (uspto)